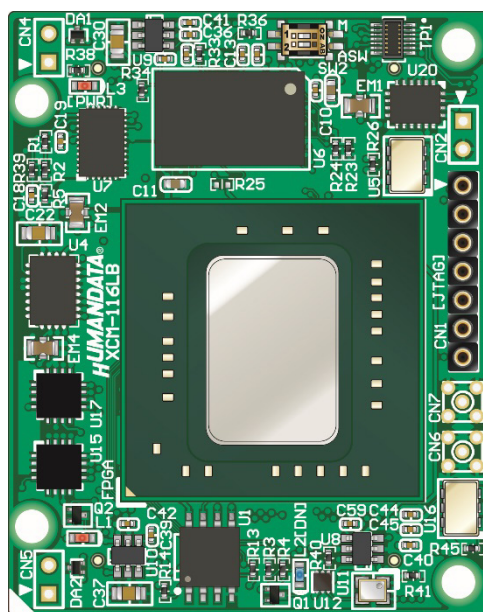


Kintex UltraScale/UltraScale+
A676 FPGA ボード
XCM-116L
ユーザーズマニュアル
Ver.1.2




目次


● はじめに	2
● ご注意	2
● 改訂記録	3
1. 製品の内容について	3
2. 開発環境	3
3. 仕様	4
4. 製品概要	5
4.1 各部の名称	5
4.2 ブロック図	6
4.3 電源入力	6
4.4 ユーザ I/O (CNA/CNB)	7
4.5 クロック	7
4.6 汎用 LED、汎用スイッチ	7
4.7 設定スイッチ	8
5. FPGA コンフィギュレーション	9
5.1 JTAG/バウンダリスキャン	10
5.2 コンフィグ ROM ファイルの作成	10
5.3 コンフィグ ROM アクセス	11
6. サポートページ	13
7. お問い合わせについて	13

● はじめに

この度は Kintex UltraScale/UltraScale+ A676 FPGA ボード XCM-116L をお買い上げいただきまして、誠にありがとうございます。XCM-116L は、AMD の高性能 FPGA Kintex UltraScale/UltraScale+ シリーズを用いた FPGA ボードで、電源回路、クロック回路、コンフィギュレーション回路などを装備した、使いやすいボードになっています。どうぞご利用ください。

● ご注意

 禁止	1. 本製品には、民生用の一般電子部品が使用されています。 宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
	2. 水中、高湿度の場所での使用はご遠慮ください。
	3. 腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4. 基板表面に他の金属が接触した状態で電源を入れないでください。
	5. 定格を越える電圧を加えないでください。

 注意	6. 本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承ください。
	7. 本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8. 本製品の運用の結果につきましては、 7. 項にかかわらず当社は責任を負いかねますので、ご了承ください。
	9. 本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10. 本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11. 発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12. ノイズの多い環境での動作は保障しかねますのでご了承ください。
	13. 静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2018/11/20	1.0	・初版発行
2019/11/15	1.1	・3章「仕様」電源を修正
2024/05/02	1.2	・「RocketIO」を「Transceivers」表記に変更 ・4.2「ブロック図」の修正

1. 製品の内容について

本パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

FPGA ボード XCM-116L	1
付属品	1
ユーザ登録はがき	1 (オーダー毎に各 1 部の場合があります)

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザ様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成しています。

3. 仕様

製品型番	XCM-116L-035	XCM-116L-040	XCM-116L-3P	XCM-116L-5P
搭載 FPGA	XCKU035-1 FBVA676C	XCKU040-1 FBVA676C	XCKU3P-1 FFVA676E	XCKU5P-1 FFVA676E
コンフィグ ROM	MT25QU128ABA1ESE-0SIT (Micron, 128Mbit)			
電源	DC 3.3 [V] + I/O 電源			
DDR3L SDRAM	MT41K256M16TW-107:P (Micron, 4Gbit: 32Mbit x16 x8 banks)			
オンボードクロック	50MHz (外部供給可能) 200MHz (LVDS), 外部入力可能			
外部クロック入力	ユーザ I/O コネクタ (CNA-11/12, CNB-11/12)			
ユーザ I/O	128			
	CNA64 (HR) CNB64 (HP)	CNA64 (HR) CNB64 (HP)	CNA46 (HD), 18 (HP) CNB64 (HP)	CNA46 (HD), 18 (HP) CNB64 (HP)
ステータス LED	POWER (赤), DONE (青)			
汎用スイッチ	1 (DIP x1bit)			
汎用 LED	1			
Transceivers (高速シリアル I/F)	Tx: 2 チャンネル Rx: 2 チャンネル			
Transceivers リファレンスクロック	125MHz (LVDS) 外部入力: MMCX コネクタ (出荷時不実装)			
リセット信号	コンフィグ用リセット信号 (電源電圧検出 typ. 240ms)			
I/O コネクタ	FX10A-80P/8-SV1 (ヒロセ電機)			
JTAG コネクタ	SIL7 ピンソケット 2.54mm ピッチ			
プリント基板	ガラスエポキシ 10 層基板 1.6t			
消費電流	N/A (設計デザインに依存します)			
基板寸法	43 x 54 [mm]			
質量	約 17[g]			
付属品	SIL7 ロングピンヘッダ x1 FX10A-80S/8-SV (ヒロセ電機) x2			

※これらの部品や仕様は変更となる場合がございます

※ HR は、High Range I/O で、1.2V から 3.3V の I/O 電圧をサポートしています

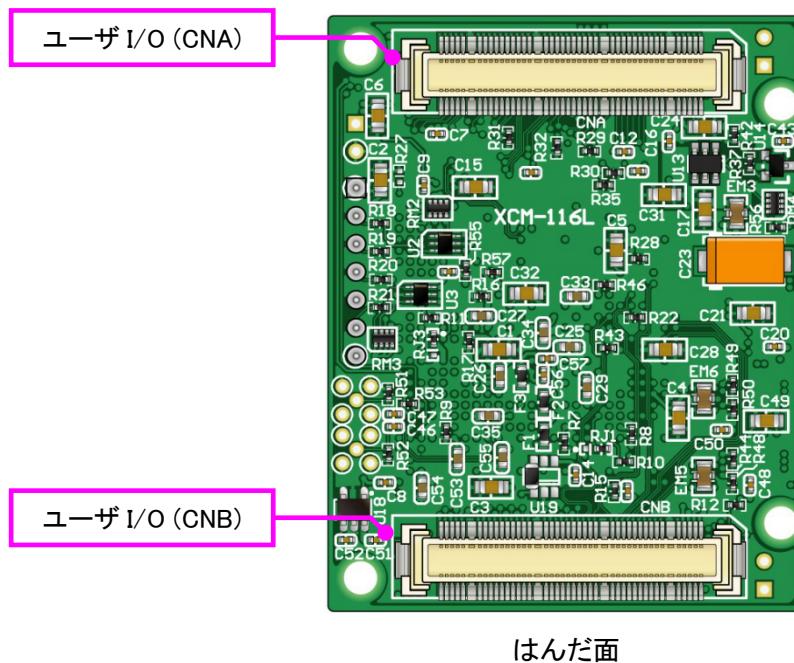
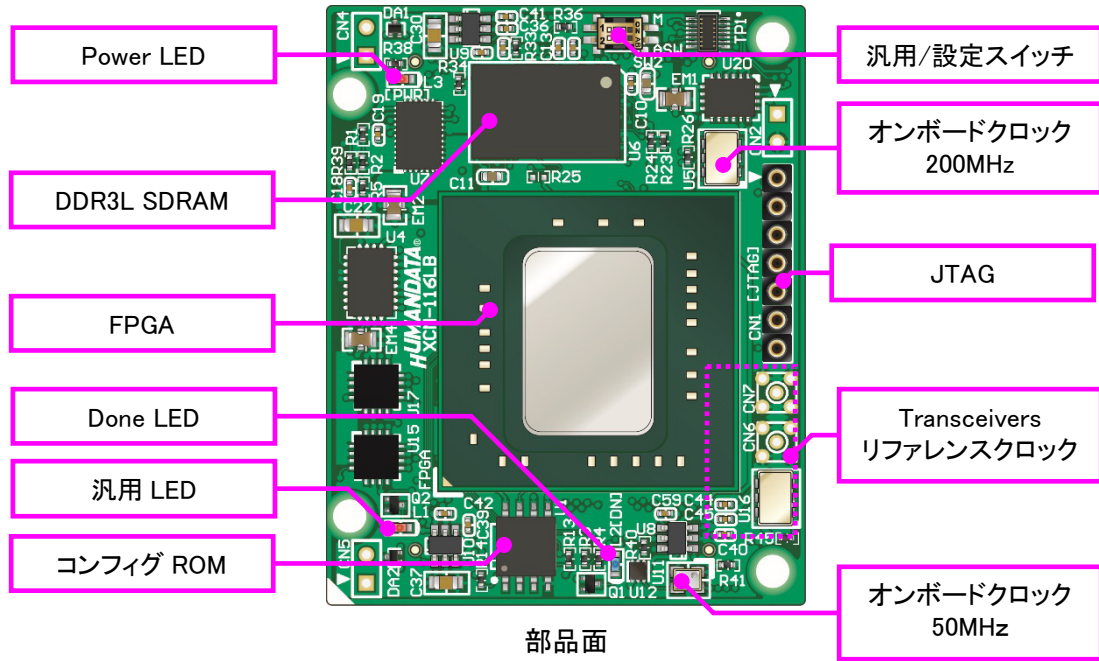
※ HP は、High Performance I/O で、1.0V から 1.8V の I/O 電圧をサポートしています

※ HD は、High Density I/O で、1.2V から 3.3V の I/O 電圧をサポートします

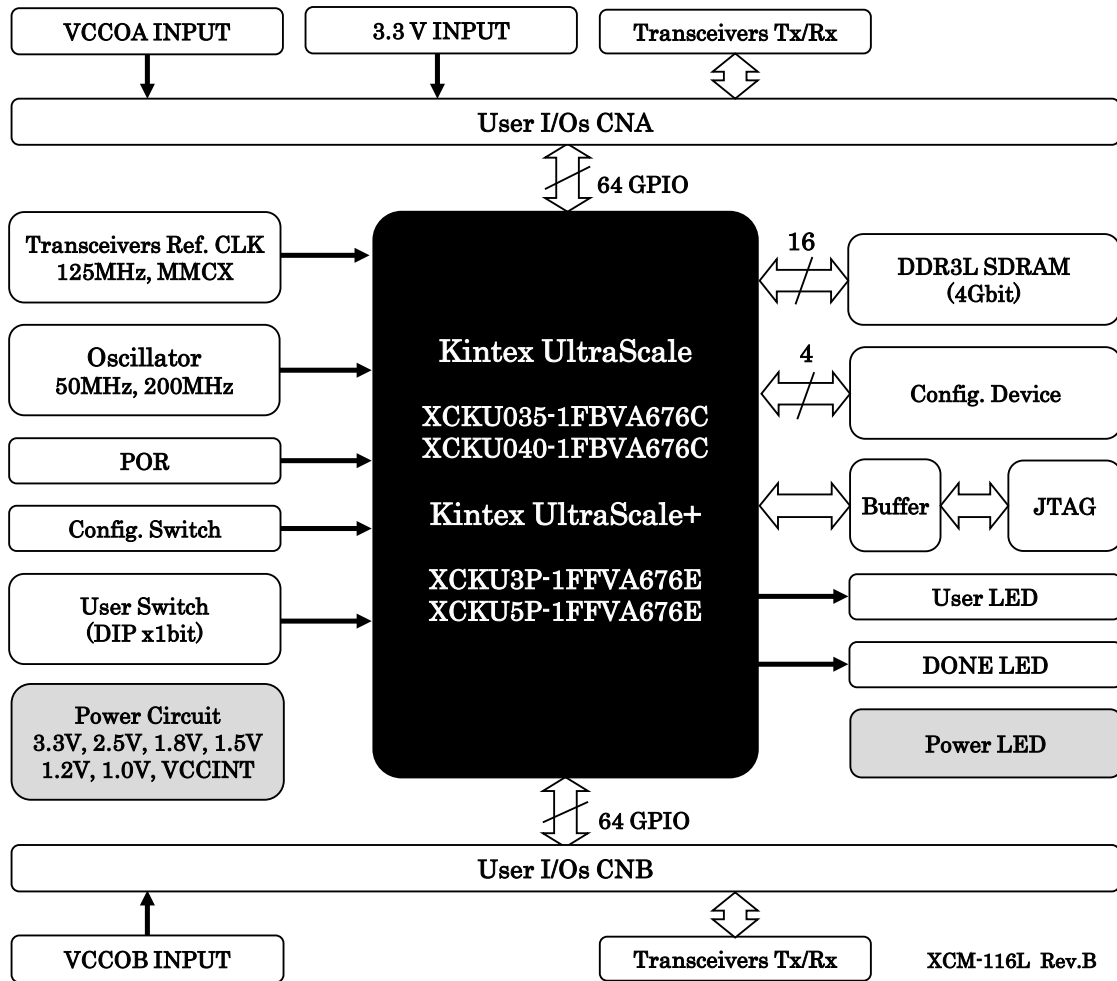
詳しくは FPGA のデータシートをご覧ください

4. 製品概要

4.1 各部の名称



4.2 ブロック図



4.3 電源入力

電源は CNA(V33A)より 3.3V を供給してください。FPGA で必要になる電源はオンボードレギュレータにより生成されます。外部から供給する 3.3V 電源は充分安定して、充分な余裕のあるものをご用意ください。

I/O 用電源については次項をご覧ください。

4.4 ユーザ I/O (CNA/CNB)

FPGA の I/O Bank は Bank Group A/B にグループ化されています。
 CNA に接続された I/O が属する Bank GroupA の V_{cco} は CNA(VIOLA)より入力可能です。
 CNB に接続された I/O が属する Bank GroupB の V_{cco} は CNB(VIOLB)より入力可能です。
 I/O 用電源は CNA(VIOLA)/CNB(VIOLB)より設計にあった電圧を入力してください

	CNA(VIOLA)	CNB(VIOLB)
XCM-116L-035 XCM-116L-040	1.2V から 3.3V	1.0V から 1.8V
XCM-116L-3P XCM-116L-5P	※RJ3 の設定により一部 3.3V で使用可能	

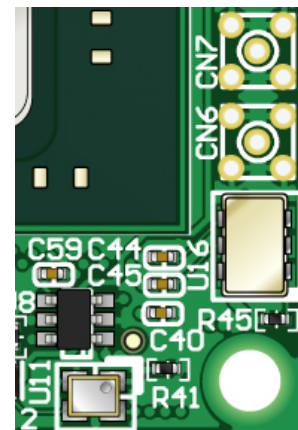
※詳しくは FPGA のデータシート/回路図をご覧ください
 ピン割付、配線長については製品の資料ページより「ピン割付表」をご参照ください。

4.5 クロック

オンボードクロックとして 50MHz(U11)を搭載しています。CNA、CNB より外部クロックを入力することも可能です。

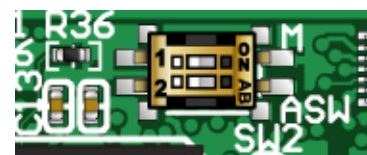
Transceivers 用のリファレンスクロックとして 125MHz(U16)を搭載しています。MMCX コネクタを実装することにより、外部入力することも可能です。

詳しくは回路図をご参照ください。



4.6 汎用 LED、汎用スイッチ

汎用 LED(L1)は High 出力で点灯させる事が出来ます。
 汎用 DIP スイッチ(SW2[2])はプルアップされていますので、ON 設定により Low 信号を FPGA に入力できます。



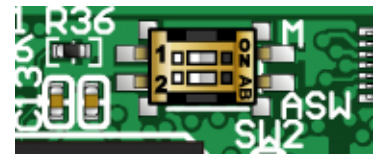
4.7 設定スイッチ

設定スイッチ(SW2)によりコンフィギュレーションモードを変更することが可能です。コンフィギュレーションモードの詳細につきましては FPGA のコンフィギュレーションユーザガイドをご参照ください。

SW2

番号	1	2
ネット	X_MODE	ASW
説明	コンフィグモード設定	汎用

コンフィギュレーションモード	SW2[1]の設定
JTAG	OFF
Master Serial SPI	ON



5. FPGA コンフィギュレーション

JTAG コネクタ(CN1)よりバウンダリスキャンを行い、FPGA へのコンフィギュレーションやコンフィグ ROM のアクセスを行います。

コンフィグ ROM から FPGA へのコンフィギュレーションは、電源投入時に自動的に行われます。十分に検査した安全性のあるデータを書き込むようにしてください。

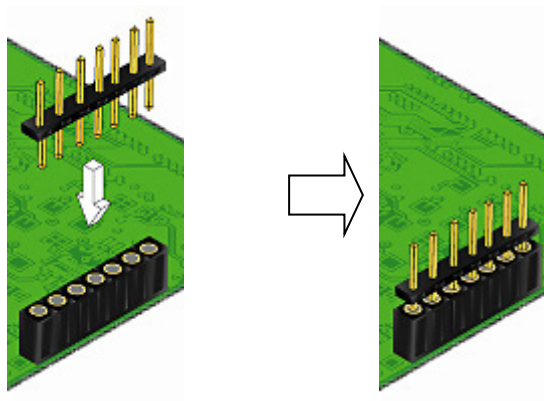
配置は次表のとおりです。ケーブル接続時は誤接続に注意してください。

CN1

ピン番号	信号	方向
1	GND	I/O
2	TCK	IN
3	TDO	OUT
4	TMS	IN
5	VCC	OUT
6	TDI	IN
7	GND	I/O



ダウンロードケーブルとの接続には付属のロングピンヘッダをご使用下さい。



使用例

5.1 JTAG/バウンダリスキャン

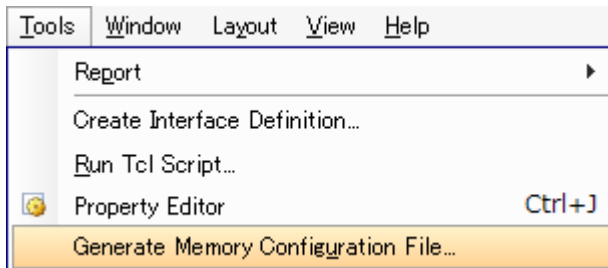
FPGA を直接コンフィギュレーションするには、バウンダリスキャンにより認識されたデバイスに bit ファイルを割りつけてプログラムを実行します。コンフィグ ROM を使用したコンフィギュレーションは次節をご参照ください。

Name	Status
localhost (1)	Connected
xilinx_tcf/Digilent/2102498110...	Open
xc7s100_0 (2)	Not programmed
XADC (System Monitor)	
mt25ql128-spi-x1_x2_x4	

5.2 コンフィグ ROM ファイルの作成

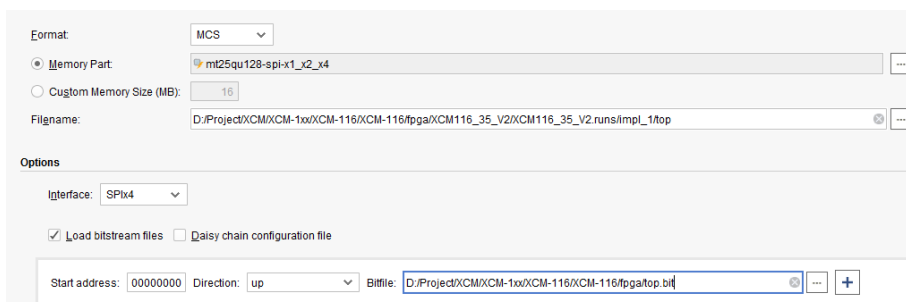
ココンフィギュレーション ROM へ書き込むためには MCS ファイルが必要となります。作成方法の一例を以下に示します

(1) Hardware Manager にて【Tools -Generate Memory Configuration File】をクリックします



(2) 設定画面にて必要な項目を設定します

- Memory Part: mt25qu128-spi-x1_x2_x4
- Filename: 作成する MCS ファイル名
- Interface: 任意 (Bitstream ファイルと同じ設定)
- Bitfile: 変換する Bitstream ファイル

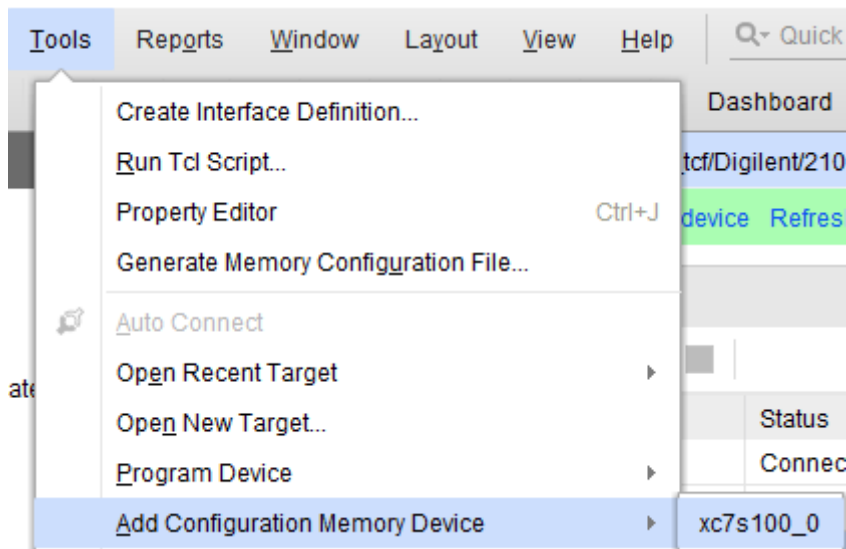


(3) OK をクリックします

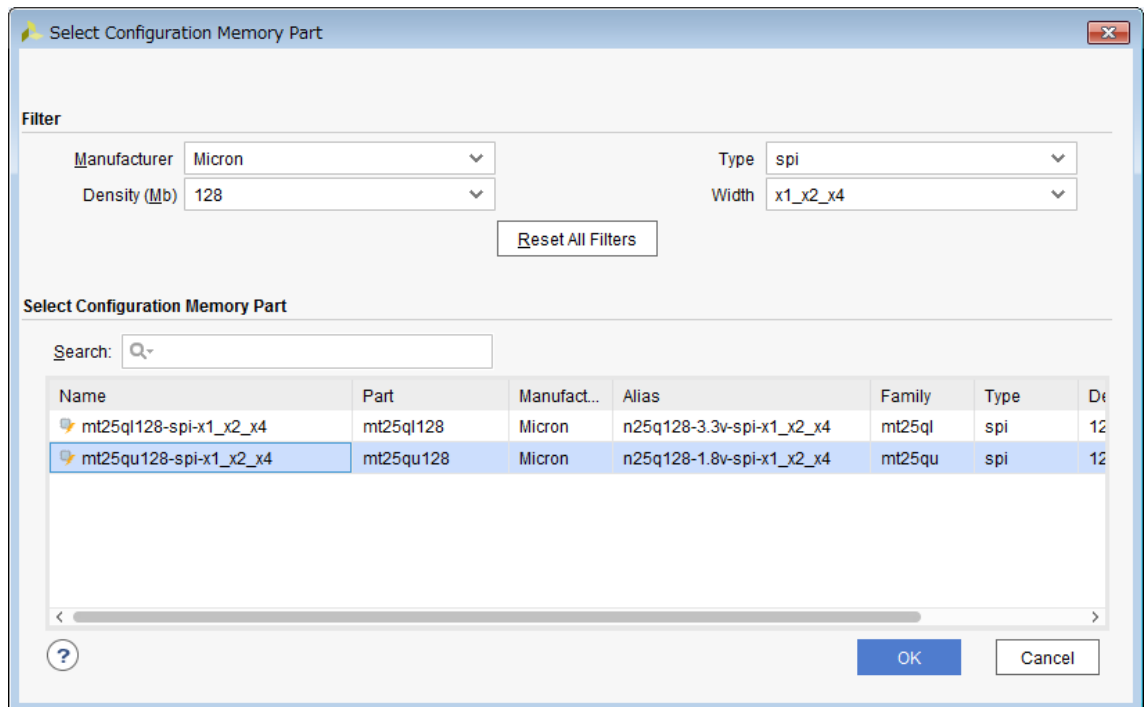
5.3 コンフィグ ROM アクセス

アクセスを行うには認識しているデバイスに対してコンフィグ ROM を追加します。

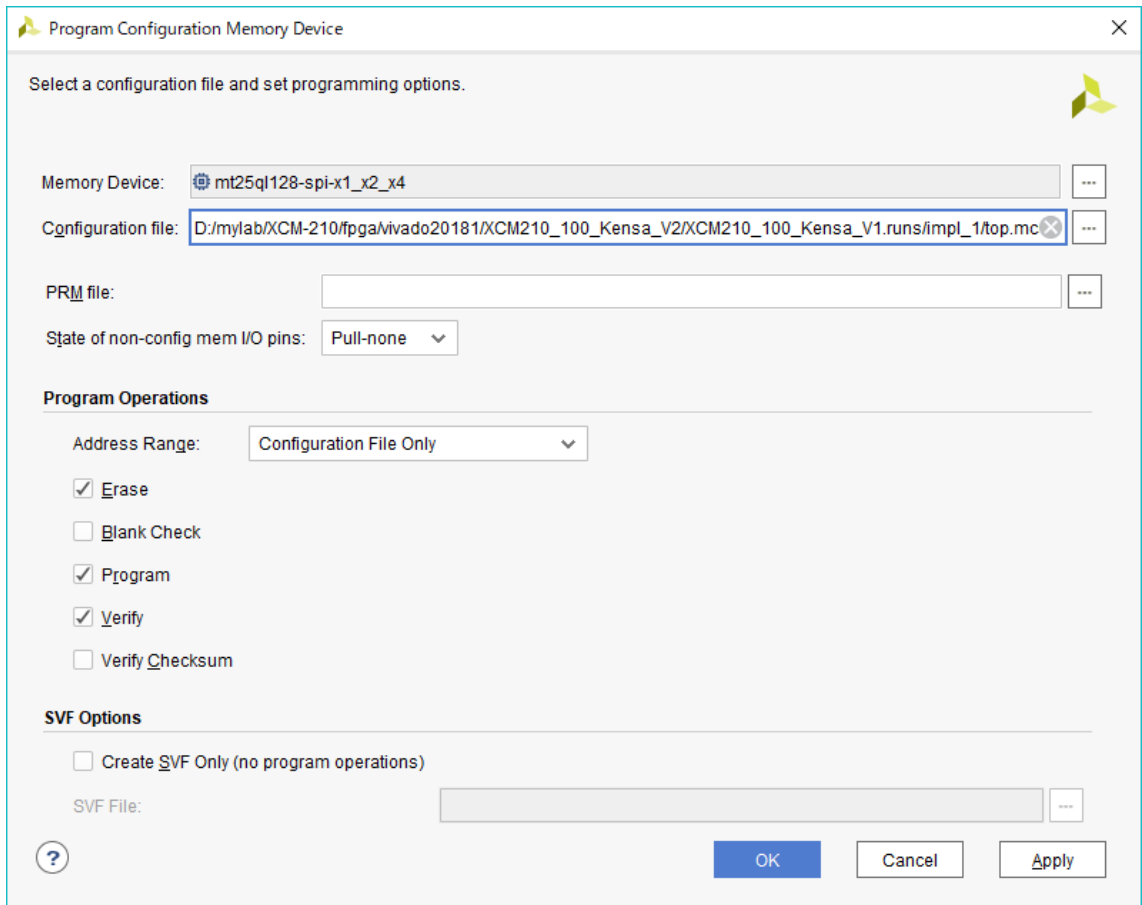
- (1) 【Tools – Add Configuration Memory Device】から認識中のデバイスを選択します。



- (2) デバイスは【mt25qu128-spi-x1_x2_x4】を選択します。
Alias 【n25q128-1.8v-spi-x1_x2_x4】



(3) MCS ファイルと実行するコマンドを選択し【OK】をクリックします。



6. サポートページ

改訂資料やその他参考資料は、必要に応じて各製品の資料ページに公開致します。

<https://www.hdl.co.jp/ftpdata/xcm-116L/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ピン割付表
- 外形寸法図
- ネットリスト ...等

またサポートセンターも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

7. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。

技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

**Kintex UltraScale/UltraScale+ A676 FPGA ボード
XCM-116L シリーズ
ユーザーズマニュアル**

2018/11/20 Ver.1.0
2019/11/15 Ver.1.1

2024/05/02 Ver.1.2

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積 1-2-10
茨木ビル

TEL 072-620-2002
FAX 072-620-2003
URL <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
