

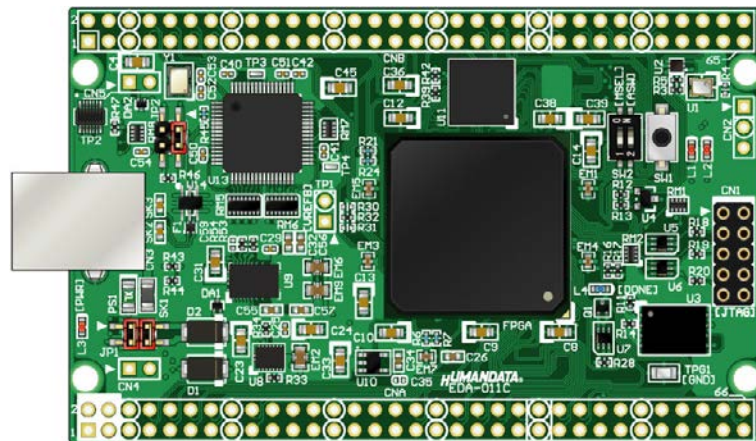
Cyclone 10 LP F484 USB-FPGA ボード



EDA-011 シリーズ Rev2

ユーザーズマニュアル

Ver. 2.0



ヒューマンデータ

目次

● はじめに	1
● ご注意	1
● 改訂記録	2
1. 製品の内容について	2
2. 開発環境	2
3. 未使用ピンについて 【重要】	2
4. 仕様	3
5. 製品説明	4
5.1. 各部の名称	4
5.2. ブロック図	5
5.3. ボード電源, USBバスパワー設定ジャンパ	6
5.4. I/O用電源	6
5.5. 発振器	7
5.6. 汎用スイッチ	7
5.7. 汎用LED	7
5.8. SDRAM	7
5.9. SPI-FLASH	7
5.10. デバッグI/F	7
5.11. 設定スイッチ	8
5.12. FT2232H設定ジャンパ	8
6. FPGA コンフィギュレーション	9
6.1. 専用ツールを使用する	9
6.2. JTAGダウンロードケーブルを使用する	10
6.3. コンフィギュレーションROMを使用する	10
7. デバイスドライバのインストール	11
8. FT2232H EEPROM 設定	11
9. 製品サポートページ	12
10. お問い合わせについて	12

● はじめに

この度は USB-FPGA ボード EDA-011 をお買い上げ頂き、ありがとうございます。



Cyclone 10 LP 搭載 USB-FPGA ボード EDA-011 は、USB インタフェースをもつ PC に接続し、Intel 社の開発ソフト (Quartus Prime) により設計した回路を USB 経由でコンフィギュレーションできる USB-FPGA ボードです。

USB コントローラに FTDI 社の FT2232H を採用しており、FPGA とのアプリケーション通信にご使用いただけます。アプリケーション通信は仮想 COM ポートドライバより行うことができます。

専用コンフィギュレーションツール「BBC[EDA-011]」により、USB ケーブルのみで FPGA のコンフィギュレーション、コンフィギュレーション ROM への書込みを行うことが出来ます。

Intel 社提供の開発環境などのインストールが必要ありませんので、検査治具などにも便利にご利用いただけます。どうぞご活用ください。

● ご注意

 禁止	1	本製品には、民生用の一般電子部品が使用されています。宇宙、航空、医療、原子力等、各種安全装置など人命、事故にかかわる特別な品質、信頼性が要求される用途での使用はご遠慮ください。
	2	水中、高湿度の場所での使用はご遠慮ください。
	3	腐食性ガス、可燃性ガス等引火性のガスのあるところでの使用はご遠慮ください。
	4	基板表面に他の金属が接触した状態で電源を入れないでください。
	5	定格を越える電圧を加えないでください。
 注意	6	本書の内容は、改良のため将来予告なしに変更することがありますので、ご了承願います。
	7	本書の内容については万全を期して作成しましたが、万一誤りなど、お気づきの点がございましたら、ご連絡をお願いいたします。
	8	本製品の運用の結果につきましては、7. 項にかかわらず当社は責任を負いかねますので、ご了承願います。
	9	本書に記載されている使用と異なる使用をされ、あるいは本書に記載されていない使用をされた場合の結果については、当社は責任を負いません。
	10	本書および、回路図、サンプル回路などを無断で複製、引用、配布することはお断りいたします。
	11	発煙や発火、異常な発熱があった場合はすぐに電源を切ってください。
	12	ノイズの多い環境での動作は保障しかねますのでご了承願います。
	13	静電気にご注意ください。

● 改訂記録

日付	バージョン	改訂内容
2022/07/25	2.0	製品リビジョン更新

1. 製品の内容について

製品パッケージには、以下のものが含まれています。万一、不足などがございましたら、弊社宛にご連絡ください。

USB-FPGA ボード EDA-011	1
付属品	1
ユーザ登録はがき	1

2. 開発環境

FPGA の内部回路設計には、回路図エディタや HDL 入力ツール、論理合成ツール等が必要です。開発ツールの選択はユーザー様で行っていただくようお願いいたします。当社では開発ツールについてのサポートと搭載デバイスそのもののサポートは一切行っておりません。

本マニュアルは、マニュアル作成時に当社で使用している開発ツールを元に作成していません。

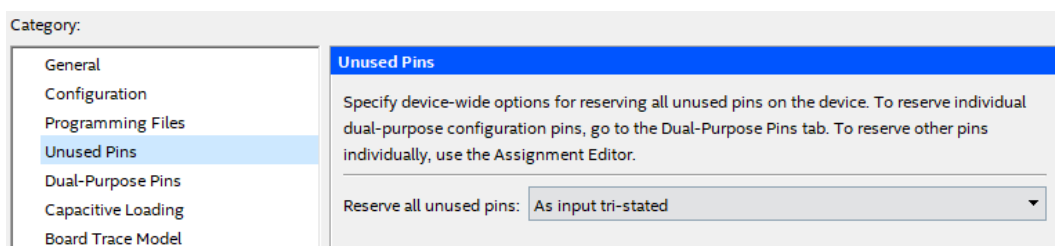
3. 未使用ピンについて **【重要】**

デバイスマイグレーションのため、I/O ピンが電源ピンに割り付けられています。

該当するデバイスでは、これらのピンを入力設定とし、使用しないようにしてください。これらのピンが駆動されると、ボードに重大な不具合を引き起こす原因となります。

未使用ピンを全て入力とすることもできます。以下に設定方法を示します。

- 1) Quartus の【Assignments】のタブにある【Device...】を開きます
- 2) 【Device & Pin Options...】をクリックし【Unused Pins】のタブを開きます
- 3) Reserve all unused pins の設定を【As inputs tri-stated】にします



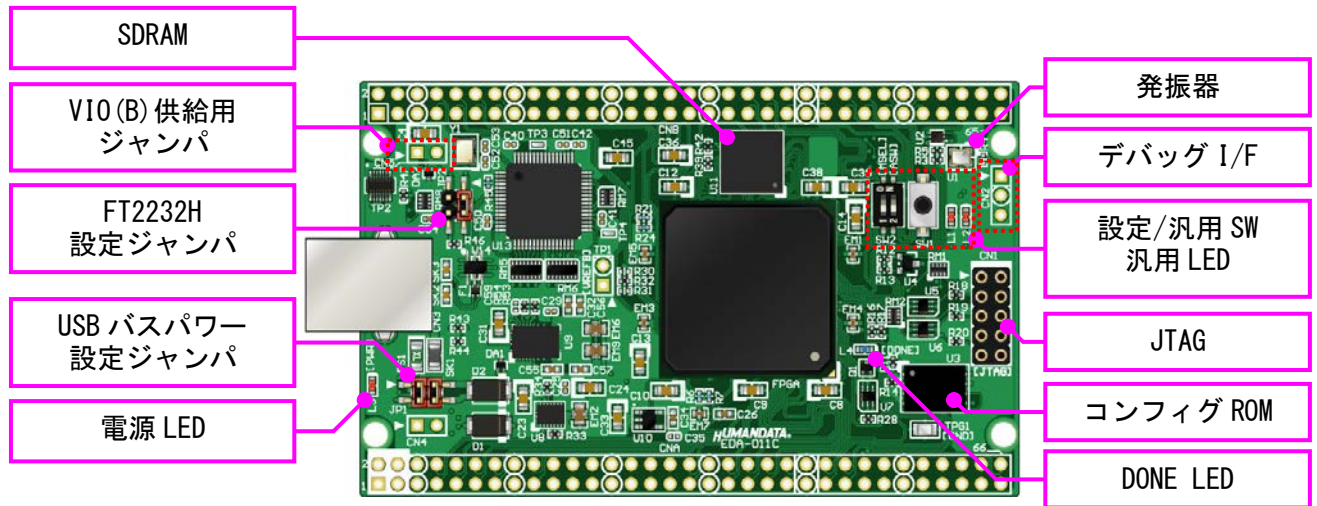
4. 仕様

製品型番	EDA-011-16	EDA-011-40	EDA-011-55	EDA-011-80	EDA-011-120
搭載 FPGA	10CL016Y F484C8G	10CL040Y F484C8G	10CL055Y F484C8G	10CL080Y F484C8G	10CL120Y F484C8G
電源入力	DC 5.0V				
ユーザ I/O	100 本 (CNA:50, CNB:50)				
オンボードクロック	50MHz (外部供給可能)				
USB2.0 コントローラ	FT2232H (FTDI)				
コンフィグ ROM	MT25QL128ABA1ESE-0SIT (Micron, 128Mbit)				
SPI-FLASH	MT25QL128ABA1ESE-0SIT (Micron, 128Mbit)				
SDRAM	AS4C16M16SA-7BCN (Alliance Memory, 256Mbit)				
汎用 LED	2				
汎用スイッチ	2 (押しボタン x1, DIP x1bit)				
ステータス LED	2 (POWER, DONE)				
リセット信号	コンフィグ用リセット信号 (typ. 240ms)				
I/O コネクタ	66 ピンスルーホール 0.9 (typ.) [mmφ] x2 組 (2.54mm ピッチ)				
JTAG コネクタ	DIL10 ピンソケット 2.54mm ピッチ				
プリント基板	ガラスエポキシ 6層基板 1.6t				
基板寸法	54 x 86 [mm]				
質量	約 32 [g]				
付属品	DIL10 ロングピンヘッダ x1				
	DIL80 ピンヘッダ (任意にカット可能) x2				
	USB2.0 ケーブル x1				

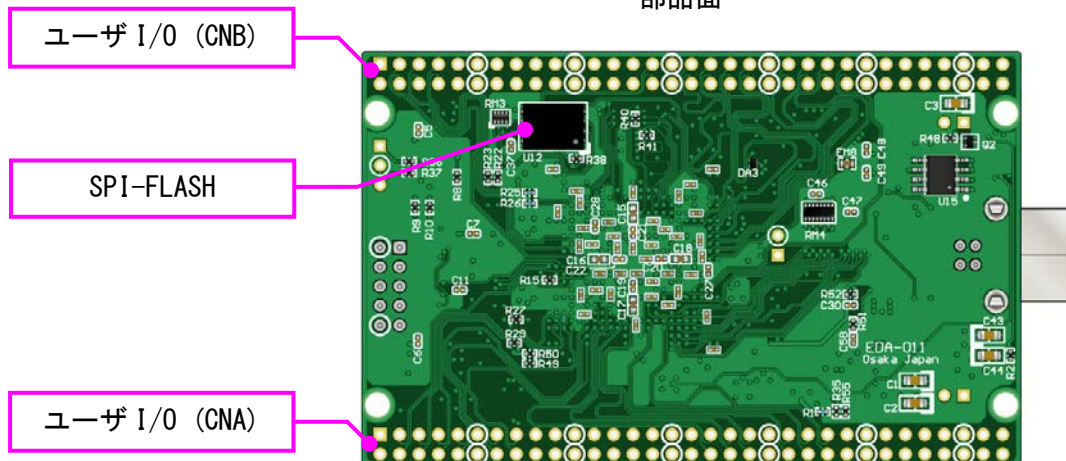
* これらの部品や仕様は変更となる場合がございます

5. 製品説明

5.1. 各部の名称

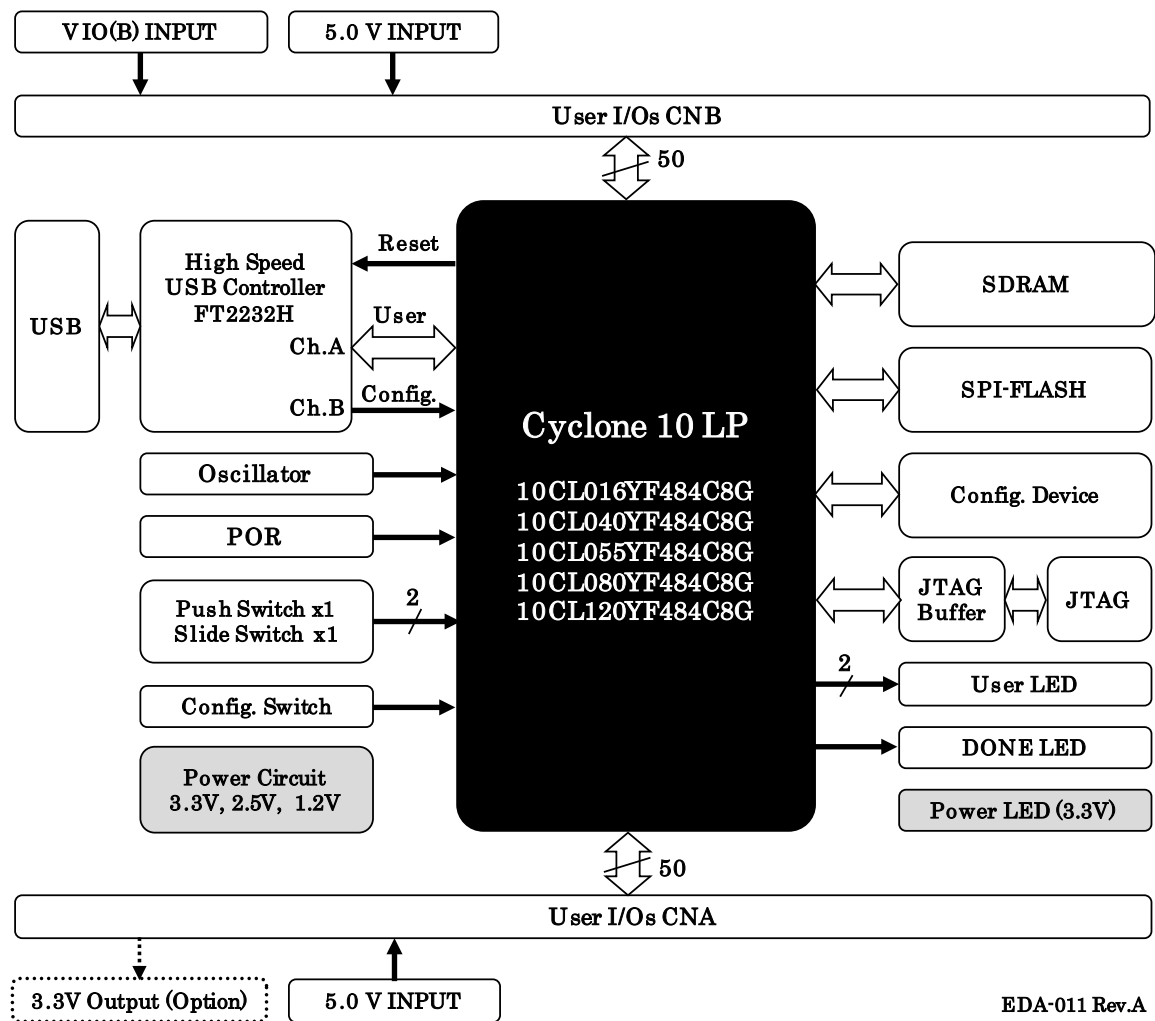


部品面



はんだ面

5.2. ブロック図

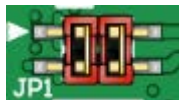


EDA-011 Rev.A

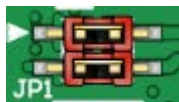
5.3. ボード電源, USB バスパワー設定ジャンパ

電源は CNA, CNB より 5.0V を供給してください。内部で必要になる電源はオンボードで生成されます。IO 用電源 (VIO (B)) は外部入力が出荷時設定となっているため電源を供給する必要があります。供給する電源は充分安定して、充分な余裕のあるものをご用意ください。いずれも 5.0V を超えることはできません。

USB バスパワー設定ジャンパ (JP1) により、USB バスパワーを使用できます。FPGA の設計によって電流が不足する場合がありますのでご注意ください。



- ◆ 1-3, 2-4 間をショート (出荷時設定)
- ユーザコネクタからの電源入力のみを使用します



- ◆ 1-2, 3-4 間をショート
- USB バスパワーをボードに接続します

5.4. I/O 用電源

CNA の I/O (IOA) 電源にはオンボードで生成された 3.3V が供給されています。

CNB の I/O (IOB) 電源 (VIO (B)) には外部より FPGA の設計にあった電圧を供給してください。未接続にはできません。VIO (B) 供給用ジャンパ (CN5) をショートすることによりオンボードの 3.3V を接続することも可能です。

FPGA のバンクは用途によって下表のようにグループ化されています。

FPGA Bank	Bank Group	VCCIO	用途
1	A	V33A	IOA
2	B	VIO (B)	IOB
3	-	V33A	SDRAM, SPI-FLASH
4	-	V33A	SDRAM, SPI-FLASH
5	B	VIO (B)	IOB
6	B	VIO (B)	IOB
7	A	V33A	IOA
8	A	V33A	IOA

5. 5. 発振器

50MHz の発振器 (U1) を搭載しています。また、一部汎用 I/O をクロック入力ピンとして使用可能です。詳しくは回路図をご確認ください。



5. 6. 汎用スイッチ

DIP スイッチ (SW2) とプッシュスイッチ (SW1) とを搭載しています。プルアップされていますので押し込みまたは ON 状態で FPGA に Low が入力されます。



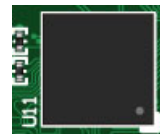
5. 7. 汎用 LED

汎用用途に使用できます。Low 出力で点灯します。



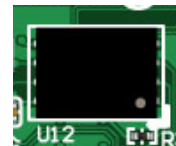
5. 8. SDRAM

汎用用途に使用できます。制御方法などはデバイスのデータシートを確認してください。



5. 9. SPI-FLASH

汎用用途に使用できる不揮発性メモリです。制御方法などはデバイスのデータシートを確認してください。



5. 10. デバッグ I/F

直列抵抗を介して FPGA に接続されています。2 番ピンは GND です。汎用用途に使用できます。



5. 11. 設定スイッチ

FPGA のコンフィギュレーションモードを変更できます。1 番ピンは汎用用途です。

SW2

コンギュレーションモード	1	2
	MSEL	ASW
PS (Passive Serial)	ON	X
AS (Active Serial)	OFF	X

※ON=Low, X=Don't Care



- PS モード : コンフィグツールを使用する際に設定してください
- AS モード : 下記の場合に設定してください
 - コンフィグ ROM にアクセスする (データ書込み、消去など)
 - コンフィグ ROM から FPGA をコンフィギュレーションする (電源投入時)

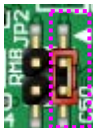
5. 12. FT2232H 設定ジャンパ

USB コントローラとして FTDI 社の FT2232H を搭載しています。デュアルチャンネル IC ですので 2 つのチャンネル (A/B) が PC に認識されます。

チャンネル A はユーザ通信用として FPGA のユーザ I/O に接続されています。チャンネル B は FPGA コンフィギュレーション制御ピンに接続されています。

FT2232H 設定ジャンパ (JP2) により、リセット信号と EEPROM への接続を設定できます。

JP2 [1-2]

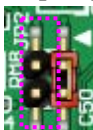


SHORT: FT2232H 用 EEPROM を使用する (出荷時設定)

OPEN: FT2232H 用 EEPROM を使用しない

- FT2232H をデフォルト設定で PC に認識させる場合に使用します (デフォルトディスクリプタ、A/B チャンネル共に UART モード)

JP2 [3-4]



SHORT: FPGA ピンを FT2232H リセットに接続する

- High 出力で FT2232H にリセットすることが出来ます

OPEN: 接続しない (出荷時設定)

- BBC [EDA-011] を使用する場合は OPEN としてください

6. FPGA コンフィギュレーション

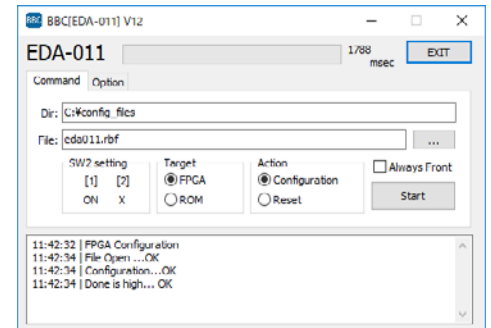
6.1. 専用ツールを使用する

BBC[EDA-011]をお使いいただくと、USB ケーブルのみで下記の操作を行うことができます。

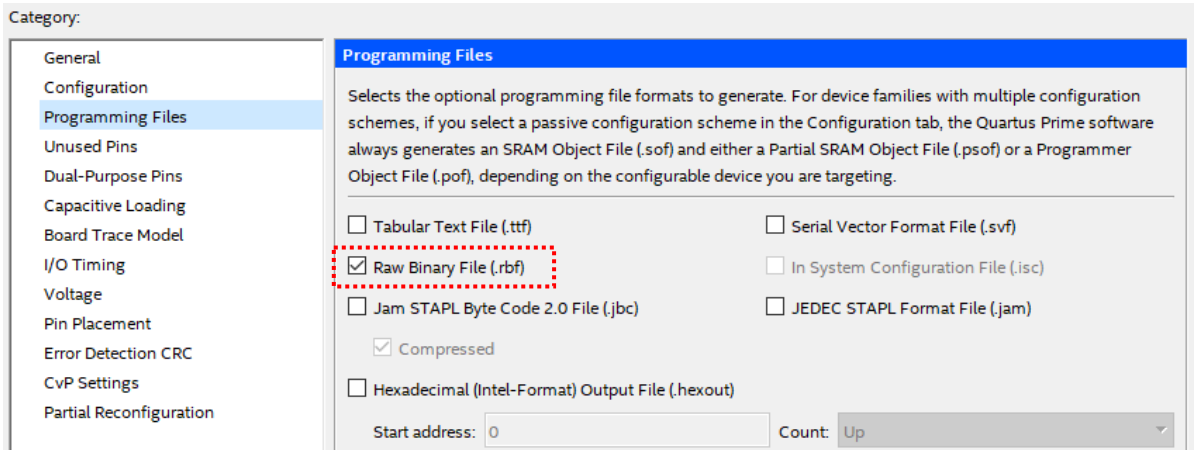
- FPGA コンフィギュレーション
- コンフィギュレーション ROM への書き込み、消去

製品サポートページからダウンロードしてご活用ください。

使用時にはコンフィギュレーションモードを PS モードに設定してください。

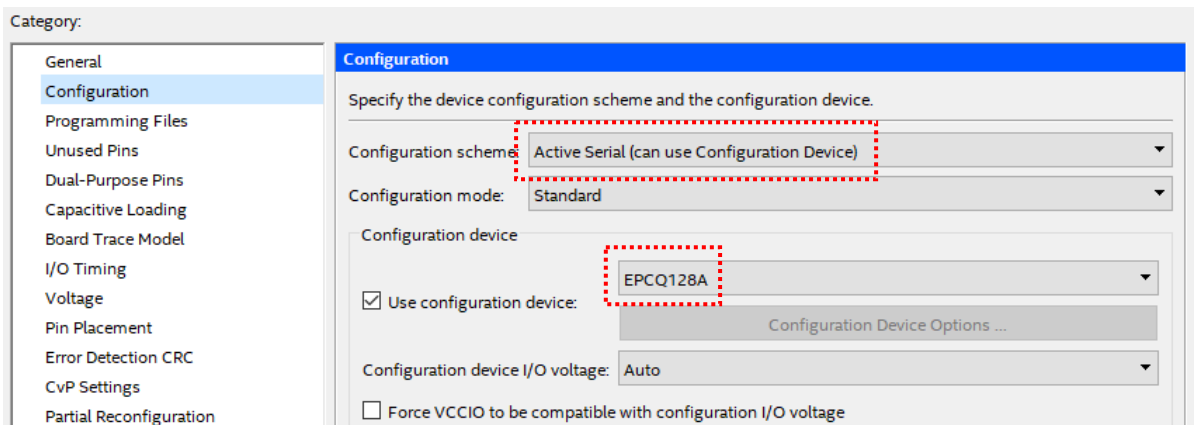


ファイルフォーマットは RBF に対応しています。「Device and Pin Options – Programming Files」にて生成するよう設定できます。



コンフィギュレーション ROM へ書き込みする場合は「Device and Pin Options – Configuration」にて下記を設定してください。

- Configuration scheme = Active Serial
- Configuration device = EPCQ128A



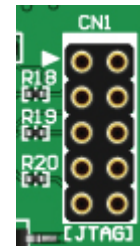
6.2. JTAG ダウンロードケーブルを使用する

JTAG 信号を必要とするツール (SignalTap など) を使用する場合には JTAG コネクタを使用します。別途専用ダウンロードケーブルが必要となります。

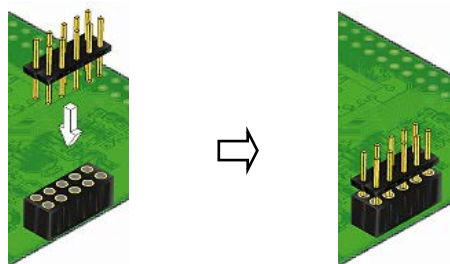
ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用ください。JTAG コネクタのピン配置は下表のとおりです。

CN1

信号	JTAG ピン		信号
TCK	1	2	GND
TDO	3	4	VCC
TMS	5	6	-
-	7	8	-
TDI	9	10	GND



ダウンロードケーブルとの接続には、付属のロングピンヘッダをご利用いただけます。



使用例

6.3. コンフィギュレーション ROM を使用する

コンフィギュレーションモードを AS モードとすることで、電源投入時に FPGA はコンフィギュレーション ROM に書込まれた回路データでコンフィギュレーションされます。

ROM には十分に検査した回路データを書き込むようにしてください。誤った回路データをコンフィギュレーションした場合、FPGA などに重大な不具合が生じることがあります。

7. デバイスドライバのインストール

USB コントローラを PC に認識させるため、デバイスドライバをインストールする必要があります。初回接続前に、デバイスドライバのインストールを行ってください。

デバイスドライバファイルは、製品サポートページからダウンロードしてください。デバイスドライバインストールガイドも公開しておりますので併せてご参照ください。

正常にインストールされると、デバイスマネージャにて下記のような表示となります。



(Windows 10 における例)

8. FT2232H EEPROM 設定

出荷時には以下のように設定されております。掲載の無い項目は FT Prog におけるテンプレートの初期設定のままです。

項目	設定
Vendor ID	0F87
Product ID	1047
Bus Powered	Check
Max Bus Power	500
Manufacturer	HuMANDATA
Product Description	EDA-011 HuMANDATA
Serial Number Enabled	Disable
Port A - Hardware	245 FIFO
Port A - Driver	Virtual COM Port
Port B - Hardware	245 FIFO
Port B - Driver	D2XX Direct

9. 製品サポートページ

改訂資料やその他参考資料は、必要に応じて各製品のサポートページに公開致します。

<https://www.hdl.co.jp/ftpdata/EDA-011/index.html>

https://www.hdl.co.jp/support_c.html

- 回路図
- ネットリスト
- ピン割付表
- コンフィギュレーションツール
- デバイスドライバ
- デバイスドライバ インストールガイド ...等

また下記サポートページも合わせてご活用ください。

<https://www3.hdl.co.jp/spc/>

10. お問い合わせについて

お問い合わせ時は、製品型番とシリアル番号を添えて下さるようお願い致します。

e-mail の場合は、SPC2@hdl.co.jp へご連絡ください。

または、当社ホームページに設置のお問い合わせフォームからお問い合わせください。
技術的な内容にお電話でご対応するのは困難な場合がございます。可能な限りメールなどをご利用くださるようご協力をお願いいたします。

おことわり

当社では、開発ツールの使用方法や FPGA などのデバイスそのものについて、サポート外とさせていただきます。あらかじめご了承下さいませ。

Cyclone 10 LP F484 USB-FPGA ボード

EDA-011 シリーズ Rev2
ユーザーズマニュアル

2022/07/25 Ver. 2.0

有限会社ヒューマンデータ

〒567-0034
大阪府茨木市中穂積1-2-10
茨木ビル
TEL : 072-620-2002
FAX : 072-620-2003
URL : <https://www.hdl.co.jp> (Japan)
<https://www2.hdl.co.jp/en/> (Global)
